

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-161601  
 (43)Date of publication of application : 18.06.1999

(51)Int.Cl. G06F 13/42  
 G06F 1/10  
 H03K 5/15

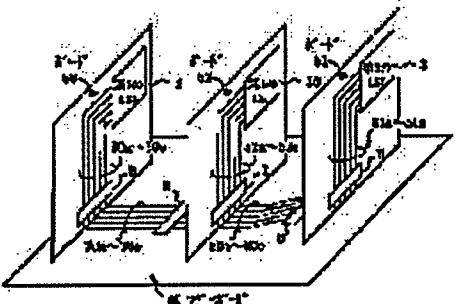
(21)Application number : 10-233052 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD  
 (22)Date of filing : 19.08.1998 (72)Inventor : TAKAHASHI SATOSHI

(30)Priority  
 Priority number : 09222333 Priority date : 19.08.1997 Priority country : JP

## (54) ADJUSTING DEVICE FOR DELAY TIME BETWEEN TRANSMISSION LINES

## (57)Abstract:

PROBLEM TO BE SOLVED: To adjust a phase shift between signals in the same cycle even when the phase shift has a long delay quantity exceeding one cycle of a clock signal when signals are transmitted simultaneously by using transmission lines.  
 SOLUTION: When signals are transmitted to transmission lines in parallel by using transmission lines 50a to 50e, 51a to 51e, and 52a to 52e on boards 50 to 52 and transmission lines 70a to 70e and 80a to 80e on a mother board 60, a timing adjusting mechanism D is provided for at least one group of transmission lines on the boards 50 to 52 and mother board 60. Further, signals are transmitted from an LSI 2 to the respective transmission lines in a set synchronous cycle and the other LSI 3 receives the signals transmitted by those transmission lines. The delay quantities of the signals of the respective transmission lines received in the synchronous cycle is detected and on the basis of the delay quantities, the timing adjusting mechanism D is adjusted so that the signals outputted to the respective transmission lines at the same time are received on the reception side at the same time.



## LEGAL STATUS

[Date of request for examination] 20.08.1998  
 [Date of sending the examiner's decision of rejection] 29.05.2001  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number]  
 [Date of registration]  
 [Number of appeal against examiner's decision of rejection]  
 [Date of requesting appeal against examiner's decision of rejection]  
 [Date of extinction of right]

(10)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-161601

(13)公開日 平成11年(1999)6月18日

(51) Int.Cl.

G 06 F 13/42

1/10

H 03 K 5/15

識別記号

350

F I

G 06 F 13/42

1/04

H 03 K 5/15

350 A

330 A

Z

審査請求 有 請求項の数19 OL (全 16 頁)

(21)出願番号 特願平10-233052

(22)出願日 平成10年(1998)8月19日

(31)優先権主張番号 特願平9-222333

(32)優先日 平9(1997)8月19日

(33)優先権主張国 日本 (JP)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 高橋 学志

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

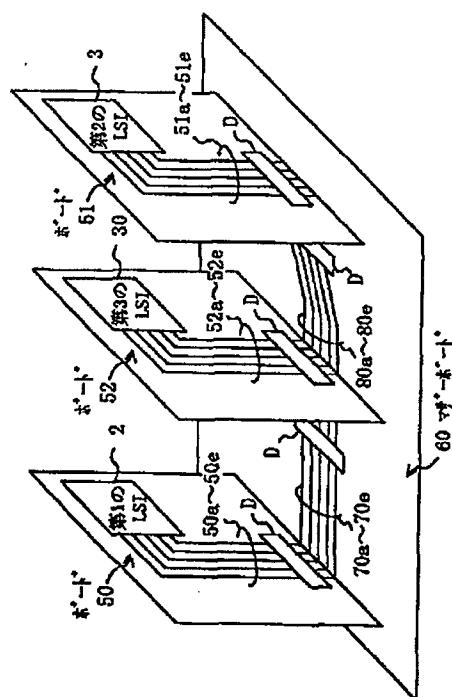
(74)代理人 弁理士 前田 弘 (外2名)

(54)【発明の名称】 複数伝送線路間の遅延時間の調整装置

(57)【要約】

【課題】 複数の伝送線路を用いた信号の同時伝送において、信号間の位相ズレがクロック信号の1周期を越える長い遅延量であっても、その位相ズレを同一周期に調整する。

【解決手段】 ボード50~52上の伝送線路50a~50e、51a~51e、52a~52e及びマザーボード60上の伝送線路70a~70e、80a~80eを用いて各伝送線路に信号を並列伝送する場合、そのボード上及びマザーボード上の伝送線路の少くとも1組にタイミング調整機構Dを設ける。更に、設定した同期サイクルにおいて、LSI12から各伝送線路に信号を同時伝送し、これ等の伝送線路を介して伝送された信号を他のLSI3で受信する。前記同期サイクル内で受信した各伝送線路の信号間の遅延量を検出し、これ等の遅延量に基いて、前記各伝送線路に同時に出力される信号が受信側で同時に受信されるように、タイミング調整機構Dを調整する。



## 【特許請求の範囲】

【請求項1】 複数のデバイス回路に各々配置されたデバイスと、

前記各デバイス回路に形成された複数の伝送線路と、前記複数のデバイス回路が接続されるマザーデバイス回路に形成された複数の伝送線路とを備え、

所定の2個のデバイス回路上の両デバイス間の複数の信号の同時伝送を、前記2個のデバイス回路上の複数の伝送線路及び前記マザーデバイス回路上の複数の伝送線路を用いて行う複数伝送線路間の遅延時間の調整装置であつて、

前記各デバイス回路上の複数の伝送線路、及び前記マザーデバイス回路上の複数の伝送線路の少くとも1組には、信号の伝送遅延時間を調整するタイミング調整手段が配置されることを特徴とする複数伝送線路間の遅延時間の調整装置。

【請求項2】 各デバイス回路上の複数の伝送線路、及び前記マザーデバイス回路上の複数の伝送線路の全てに、各々、タイミング調整手段が配置されることを特徴とする請求項1記載の複数伝送線路間の遅延時間の調整装置。

【請求項3】 所定の同期サイクルを設定する同期サイクル設定手段と、

前記同期サイクル設定手段により設定された同期サイクル内で、一方のデバイスから同時出力され且つ他方のデバイスが受信した各伝送線路の信号間の遅延量を検出する遅延量検出手段と、

前記遅延量検出手段が検出した各伝送線路の信号間の遅延量に基いて前記タイミング調整手段を制御する制御手段とを備えたことを特徴とする請求項1又は2記載の複数伝送線路間の遅延時間の調整装置。

【請求項4】 前記制御手段は、

前記遅延量検出手段が検出した各伝送線路の信号間の遅延量に基いて、前記他方のデバイスが前記各伝送線路の信号を同時に受けるように、各伝送線路に挿入すべき遅延量を決定する遅延量決定手段と、

前記遅延量決定手段により決定された各遅延量を、対応する伝送線路に挿入するように、前記タイミング調整手段を制御する遅延量設定手段とを備えたことを特徴とする請求項3記載の複数伝送線路間の遅延時間の調整装置。

【請求項5】 前記同期サイクル設定手段は、所定の時間間隔で同期サイクルを設定することを特徴とする請求項3記載の複数伝送線路間の遅延時間の調整装置。

【請求項6】 各伝送線路への信号の伝送はパリティを付加して行われ、

前記同期サイクル設定手段は、前記パリティに基いて、他方のデバイスが受けた信号の伝送エラーを検出し、この伝送エラーが検出された時、

同期サイクルを設定することを特徴とする請求項3記載の複数伝送線路間の遅延時間の調整装置。

【請求項7】 同期サイクルの終了後、伝送エラーが検出された信号の再送が行われることを特徴とする請求項6記載の複数伝送線路間の遅延時間の調整装置。

【請求項8】 各伝送線路への信号の伝送は、ビット修正可能なパリティを付加して行われ、

前記同期サイクル設定手段は、

前記パリティに基いて、他方のデバイスが受けた信号の伝送エラーを検出し、この伝送エラーが検出された時、同期サイクルを設定することを特徴とする請求項3記載の複数伝送線路間の遅延時間の調整装置。

【請求項9】 伝送エラーが検出された信号のビット修正が行われ、このエラーが検出された信号の再送は行われないことを特徴とする請求項7記載の複数伝送線路間の遅延時間の調整装置。

【請求項10】 2個のデバイス回路に各々配置されたデバイス及び複数の伝送線路の少くとも一箇所に温度センサーが配置され、

前記同期サイクル設定手段は、

前記温度センサーが所定温度以上の変化を検出した時、同期サイクルを設定することを特徴とする請求項3記載の複数伝送線路間の遅延時間の調整装置。

【請求項11】 前記同期サイクル設定手段による同期サイクルの設定は、

別途に付加した専用の伝送線路に同期信号を伝送することにより、行われることを特徴とする請求項3記載の複数伝送線路間の遅延時間の調整装置。

【請求項12】 前記同期サイクル設定手段による同期サイクルの設定は、

前記各伝送線路に同時に伝送される信号を、所定期間の間、所定の電位レベルに固定することにより、行われることを特徴とする請求項3記載の複数伝送線路間の遅延時間の調整装置。

【請求項13】 2個のデバイス間の信号の伝送は、所定のプロトコルに基いて行われ、

前記同期サイクル設定手段による同期サイクルの設定は、前記プロトコルの出力により行われることを特徴とする請求項3記載の複数伝送線路間の遅延時間の調整装置。

【請求項14】 前記タイミング調整手段は、

複数個の遅延素子と、これ等の遅延素子の組合せを選択する選択回路とを備えることを特徴とする請求項3記載の複数伝送線路間の遅延時間の調整装置。

【請求項15】 前記タイミング調整手段は、

前記複数の伝送線路と同数備えられ、各タイミング調整手段は、対応する伝送線路の途中に配置されることを特徴とする請求項3記載の複数伝送線路間の遅延時間の調整装置。

【請求項16】 一方のデバイスは、プロセッサ又はD

S Pであることを特徴とする請求項3記載の複数伝送線路間の遅延時間の調整装置。

【請求項17】他方のデバイスはメモリであることを特徴とする請求項3記載の複数伝送線路間の遅延時間の調整装置。

【請求項18】前記遅延量検出手段は、

同期サイクル内で、前記第1のデバイスから同時出力され且つ前記第2のデバイスが各伝送線路を経て受信した信号のうち、第2のデバイスが最も遅く受けた1つの伝送線路の信号を基準として、この基準信号と他の伝送線路の信号との間の遅延量を検出することを特徴とする請求項3記載の複数伝送線路間の遅延時間の調整装置。

【請求項19】第1のデバイスからの複数信号の出力は、クロック信号に基いて行われ、

前記同期サイクル設定手段が設定する同期サイクルの期間は、前記クロック信号の1周期を越えることを特徴とする請求項18記載の複数伝送線路間の遅延時間の調整装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高速な信号伝送であって、複数の伝送線路を利用してこの伝送線路に同時に信号を伝送する場合に、各伝送線路毎に異なる遅延時間を調整する複数伝送線路間の遅延時間調整装置の改良に関する。

【0002】

【従来の技術】一般に、複数の信号伝送線路では、その各々が持つ信号伝搬遅延時間が相互に異なるため、伝搬する信号にスキュー(s k e w)が発生する。例えば、複数のデータを同一の受信部に伝送する場合には、これ等のデータが受信部に到達した時点相互に差異が生じる。また、同一の信号(例えばクロック信号等)を複数の受信部に伝送する場合にも、各受信部が前記信号を受信する時点には相互に差異がある。このスキューは、1個のLSIの内部で信号伝送をする場合、及び複数個のLSI間で信号を伝送する場合の何れでも生じる。スキューが生じると、LSIの誤動作を生じることがある。

【0003】このため、従来では、例えば特開平7-73118号公報に開示されるように、同期回路を設けて、複数の伝送線路を経て受信された信号間に位相ズレが生じたときには、最も遅れた1つの伝送線路の信号を基準に、他の伝送線路に所定の遅延素子を配置して、位相ズレを吸収することにより、これ等信号間の位相ズレの調整している。

【0004】また、従来、例えば特開平6-54016号公報に開示されるものでは、複数のデータをこれと同数の伝送線路を用いて伝送する場合に、これ等データの受信部(フリップフロップ)でのデータの取り込みタイミング、即ちこれ等フリップフロップへのクロック信号の入力時期を調整可能とし、全てのデータが受信した後

にクロック信号を入力することにより、複数のデータを同時に受信部で受信する構成を採用している。

【0005】

【発明が解決しようとする課題】ところで、近年では、LSIを搭載したボードを複数用意し、これ等のボードをマザーボードに立てて配置すると共に、前記各ボード及びマザーボードに伝送線路を形成して、各ボードのLSI間の信号の伝送を、ボード上の伝送線路とマザーボード上の伝送線路とを用いて行っている。

【0006】しかしながら、前記のような回路構成では、所定の2個のLSI間で複数の信号の同時伝送を行う場合に、その2個のLSIが何れのボードに配置されるかによって伝送線路の合計長さが異なり、従って、種々の合計伝送線路長に対して各々複数の信号が同時に受信側のLSIに到達するように遅延素子を挿入することは困難である。

【0007】更に、近年のLSI等の動作の高速化に伴い、複数本の伝送線路を用いて並列にデータを転送する場合に、転送レートが550MB/秒(即ち、250MHz)以上の高速な信号伝送を必要とするものも出てきており、例えば、500MHzの信号伝送では、1サイクルは2ナノ秒以下となる。

【0008】しかしながら、このような高速動作するLSI等において、信号スキューによる位相ズレを調整する場合に、前記従来の技術を適用することはできない。

【0009】即ち、前者の従来技術では、複数箇所で受信された信号波形間の位相差を検出するので、クロック信号の1周期をTとすると、受信された信号波形間の位相ズレがT/2未満の場合には、その位相ズレを調整できるものの、例えば図14(a)に示すように、3つの信号A、B、Cのうち、2つの信号A、C間の位相ズレがT/2を越えて、T+τ2となると、同図(b)に示すように、信号Cは信号Aに対して1周期Tだけズレで調整されることになる。このような事態は、例えば、伝送線路間に10cmの長さのズレがあれば、40pFの負荷で2ナノ秒の位相ズレとなり、この位相ズレは前記500MHzの信号伝送では1サイクル以上であるため、容易に想定し得ることが判る。

【0010】また、後者の従来技術では、複数のデータの受信後にクロック信号を受信するように前記クロック信号の受信タイミングを調整する構成であるため、何れかのデータの位相遅れが1周期を越える場合には、このデータの受信時点でのデータは既に次周期の値に変化していることがあり、従って、各フリップフロップへのデータ取り込み時期を同一時期に調整することが不可能である。以上のことから、前記2つの従来技術では、高速動作するLSI等での信号スキューを解決することは不可能となる。

【0011】本発明は、前記従来の欠点を解消するものであり、その目的は、高速に動作するLSI等におい

て、複数の伝送線路を用いて各伝送線路に信号を同時に伝送する場合に、その何れかの伝送線路の信号の伝搬遅延時間が1周期を越える場合であっても、全ての伝送線路間の信号の位相ズレを良好に調整して、同一周期のサイクルに信号スキーを合せることにある。

#### 【0012】

【課題を解決するための手段】以上の目的を達成するため、本発明では、複数のボードをマザーボードに立てて配置する場合のように、複数のデバイス回路をマザーデバイス回路に接続する場合に、複数のデバイス回路上の各伝送線路及びマザーデバイス回路上の伝送線路を用いて複数の信号を並列伝送するとき、信号の伝搬遅延時間を調整するタイミング調整機構を適切に配置すると共に、回路の動作等に必要な本来の信号の伝送を一旦停止し、所定の同期サイクルを実行し、所定の時点を基準に各伝送線路間の信号の位相ズレを検出することにより、各伝送線路を経て受信された信号間に1周期を越える位相ズレがあっても、その位相ズレを適切に調整して、同一周期のサイクルに信号スキーを合せることとする。

【0013】すなわち、請求項1記載の発明の複数伝送線路間の遅延時間の調整装置は、複数のデバイス回路に各々配置されたデバイスと、前記各デバイス回路に形成された複数の伝送線路と、前記複数のデバイス回路が接続されるマザーデバイス回路に形成された複数の伝送線路とを備え、所定の2個のデバイス回路上の両デバイス間の複数の信号の同時伝送を、前記2個のデバイス回路上の複数の伝送線路及び前記マザーデバイス回路上の複数の伝送線路を用いて行う複数伝送線路間の遅延時間の調整装置であって、前記各デバイス回路上の複数の伝送線路、及び前記マザーデバイス回路上の複数の伝送線路の少くとも1組には、信号の伝送遅延時間を調整するタイミング調整手段が配置されることを特徴とする。

【0014】請求項2記載の発明は、前記請求項1記載の複数伝送線路間の遅延時間の調整装置において、各デバイス回路上の複数の伝送線路、及び前記マザーデバイス回路上の複数の伝送線路の全てに、各々、タイミング調整手段が配置されることを特徴とする。

【0015】請求項3記載の発明は、前記請求項1又は2記載の複数伝送線路間の遅延時間の調整装置において、所定の同期サイクルを設定する同期サイクル設定手段と、前記同期サイクル設定手段により設定された同期サイクル内で、一方のデバイスから同時出力され且つ他方のデバイスが受信した各伝送線路の信号間の遅延量を検出する遅延量検出手段と、前記遅延量検出手段が検出した各伝送線路の信号間の遅延量に基いて前記タイミング調整手段を制御する制御手段とを備えたことを特徴とする。

【0016】請求項4記載の発明は、前記請求項3記載の複数伝送線路間の遅延時間の調整装置において、前記制御手段は、前記遅延量検出手段が検出した各伝送線路

の信号間の遅延量に基いて、前記他方のデバイスが前記各伝送線路の信号を同時に受けるように、各伝送線路に挿入すべき遅延量を決定する遅延量決定手段と、前記遅延量決定手段により決定された各遅延量を、対応する伝送線路に挿入するように、前記タイミング調整手段を制御する遅延量設定手段とを備えたことを特徴とする。

【0017】請求項5記載の発明は、前記請求項3記載の複数伝送線路間の遅延時間の調整装置において、前記同期サイクル設定手段は、所定の時間間隔で同期サイクルを設定することを特徴とする。

【0018】請求項6記載の発明は、前記請求項3記載の複数伝送線路間の遅延時間の調整装置において、各伝送線路への信号の伝送はパリティを付加して行われ、前記同期サイクル設定手段は、前記パリティに基いて、他方のデバイスが受けた信号の伝送エラーを検出し、この伝送エラーが検出された時、同期サイクルを設定することを特徴とする。

【0019】請求項7記載の発明は、前記請求項6記載の複数伝送線路間の遅延時間の調整装置において、同期サイクルの終了後、伝送エラーが検出された信号の再送が行われることを特徴とする。

【0020】請求項8記載の発明は、前記請求項3記載の複数伝送線路間の遅延時間の調整装置において、各伝送線路への信号の伝送は、ビット修正可能なパリティを付加して行われ、前記同期サイクル設定手段は、前記パリティに基いて、他方のデバイスが受けた信号の伝送エラーを検出し、この伝送エラーが検出された時、同期サイクルを設定することを特徴とする。

【0021】請求項9記載の発明は、前記請求項7記載の複数伝送線路間の遅延時間の調整装置において、伝送エラーが検出された信号のビット修正が行われ、このエラーが検出された信号の再送は行われないことを特徴とする。

【0022】請求項10記載の発明は、前記請求項3記載の複数伝送線路間の遅延時間の調整装置において、2個のデバイス回路に各々配置されたデバイス及び複数の伝送線路の少くとも一箇所に温度センサーが配置され、前記同期サイクル設定手段は、前記温度センサーが所定温度以上の変化を検出した時、同期サイクルを設定することを特徴とする。

【0023】請求項11記載の発明は、前記請求項3記載の複数伝送線路間の遅延時間の調整装置において、前記同期サイクル設定手段による同期サイクルの設定は、別途に付加した専用の伝送線路に同期信号を伝送することにより、行われることを特徴とする。

【0024】請求項12記載の発明は、前記請求項3記載の複数伝送線路間の遅延時間の調整装置において、前記同期サイクル設定手段による同期サイクルの設定は、前記各伝送線路に同時伝送される信号を、所定期間の間、所定の電位レベルに固定することにより、行われる

ことを特徴とする。

【0025】請求項13記載の発明は、前記請求項3記載の複数伝送線路間の遅延時間の調整装置において、2個のデバイス間の信号の伝送は、所定のプロトコルに基いて行われ、前記同期サイクル設定手段による同期サイクルの設定は、前記プロトコルの出力により行われることを特徴とする。

【0026】請求項14記載の発明は、前記請求項3記載の複数伝送線路間の遅延時間の調整装置において、前記タイミング調整手段は、複数個の遅延素子と、これ等の遅延素子の組合せを選択する選択回路とを備えることを特徴とする。

【0027】請求項15記載の発明は、前記請求項3記載の複数伝送線路間の遅延時間の調整装置において、前記タイミング調整手段は、前記複数の伝送線路と同数備えられ、各タイミング調整手段は、対応する伝送線路の途中に配置されることを特徴とする。

【0028】請求項16記載の発明は、前記請求項3記載の複数伝送線路間の遅延時間の調整装置において、一方のデバイスは、プロセッサ又はDSPであることを特徴とする。

【0029】請求項17記載の発明は、前記請求項3記載の複数伝送線路間の遅延時間の調整装置において、他方のデバイスはメモリであることを特徴とする。

【0030】請求項18記載の発明は、前記請求項3記載の複数伝送線路間の遅延時間の調整装置において、前記遅延検出手段は、同期サイクル内で、前記第1のデバイスから同時出力され且つ前記第2のデバイスが各伝送線路を経て受信した信号のうち、第2のデバイスが最も遅く受けた1つの伝送線路の信号を基準として、この基準信号と他の伝送線路の信号との間の遅延量を検出することを特徴としている。

【0031】請求項19記載の発明は、前記請求項18記載の複数伝送線路間の遅延時間の調整装置において、第1のデバイスからの複数信号の出力は、クロック信号に基いて行われ、前記同期サイクル設定手段が設定する同期サイクルの期間は、前記クロック信号の1周期を越えることを特徴とする。

【0032】以上の構成により、本発明では、デバイス回路上の伝送線路及びマザーデバイス回路上の伝送線路を用いて各伝送線路に信号を並列伝送する場合に、それ等のデバイス回路上及びマザーデバイス回路上の伝送線路の少くとも1組に信号伝搬遅延時間を調整するタイミング調整手段が設けられる。この構成を前提に、所定の同期サイクルを実行し、この同期サイクル内で複数の伝送線路に各々信号が同一時点で一方のデバイスから伝送される。他方のデバイスは、前記各伝送線路を経た信号を受信し、遅延量検出手段がこれ等伝送線路を経て受信された信号間の遅延量を検出する。ここに、同期サイクルの期間をクロック信号の1周期を越える期間（例えば

クロック信号の複数周期）とした上で、前記同期サイクル内で各伝送線路に伝送された信号間の遅延量を検出するので、何れかの伝送線路の信号の伝搬遅延量が1周期を越える長い遅延量であっても、これ等複数の伝送線路を経て受信された信号を同一周期のサイクルに同期させることが可能である。

【0033】

【発明の実施の形態】以下、本発明の実施の形態について図面に基いて説明する。

【0034】図15は、本発明の実施の形態の全体概略構成を示す。

【0035】同図において、2、3、30は第1、第2及び第3のLSIであって、各々ボード50、51、52に搭載される。これ等のボード50～52は、相互に所定間隔隔ててマザーボード60に立てて接続される。

【0036】各ボード50～52には、搭載されたLSI2、3、30からマザーボード60との接続点に伸びる複数（図では5本）の伝送線路50a～50e、51a～51e、52a～52eが設けられる。更に、マザーボード60には、各ボード50～52を結ぶ複数（図では5本）の伝送線路70a～70e、80a～80eが設けられる。尚、本実施の形態では、複数のボード50～52をマザーボード60に立てて配置するが、複数のデバイス回路をマザーデバイス回路に接続する場合であってもよいのは勿論である。

【0037】ここで、本発明の特徴として、各ボードの伝送線路50a～50e、51a～51e、52a～52e、及びマザーボードの伝送線路70a～70e、80a～80eの少くとも1組の伝送線路には、信号の伝搬時間を調整するタイミング調整機構（タイミング調整手段）Dが配置される。同図では、全ての組の伝送線路にタイミング調整機構Dが配置されている。

【0038】図1は、前記図15において2個のボード50、51を有し、他のボード52を有しない場合の実施の形態を示す遅延時間調整装置である。

【0039】同図において、1a～1eは第1ないし第5の5本の伝送線路であって、前記ボード50の伝送線路50a～50eと、マザーボード60の伝送線路70a～70e、80a～80eと、ボード51の伝送線路51a～51eとにより構成される。

【0040】また、2及び3は前記伝送線路1a～1eを介して相互に接続される第1及び第2のLSI（第1及び第2のデバイス）である。前記第1のLSI2には、例えばプロセッサ又はDSPで構成され且つ同時に4個のデータを発生するデータ発生手段4と、このデータ発生手段4が発生したデータ（信号）を、前記5本の伝送線路のうち第5の伝送線路1eを除く4本の伝送線路1a～1dに出力するデータ出力手段5とが備えられる。尚、データ出力手段5は、後述するように、第5の伝送線路1eに同期信号を出力する。

【0041】一方、前記第2のLSI3には、前記第1ないし第4の伝送線路1a～1dに伝送されたデータ及び第5の伝送線路1eに伝送された同期信号を受けるデータ入力手段6と、この受けた4個のデータを保持するデータ保持手段7とが備えられる。前記データ保持手段7は例えばメモリで構成される。

【0042】前記各伝送線路1a～1eは、図13から判るように、同図で左方に延びた後に同図で下方に折れ曲り、従って、各伝送線路1a～1eは相互に線路長が異なる。

【0043】また、前記各伝送線路1a～1eには、各々、タイミング調整機構（タイミング調整手段）10a～10eが配置される。これ等のタイミング調整機構10a～10eは、対応する伝送線路の信号伝搬遅延時間を変更するものであり、本実施の形態では、図15のマザーボード60上に配置される。前記タイミング調整機構10a～10eは相互に同一構成であり、その内部構成を図2に例示する。同図（a）では、遅延時間 $\tau$ を持つ6個のインバータ遅延回路（遅延素子）20a～20fが直列に接続され、これ等6個の遅延回路20a～20fをバイパスする線路20gと、第1段目の遅延回路20aのみを通る線路20hと、第1及び第2段目の遅延回路20a、20bを通る線路20iと、第3段目までの遅延回路20a～20cを通る線路20jと、第4段目までの遅延回路20a～20dを通る線路20kと、第5段目までの遅延回路20a～20eを通る線路20lと、全ての遅延回路20a～20fを通る線路20mとを有し、これ等7つの線路20g～20mの何れかをセレクタ（選択回路）21で選択して、対応する伝送線路の遅延量を7段階に調整する構成である。このセレクタ21は、後述する遅延値設定手段19からの遅延値設定信号により制御される。尚、遅延回路の数は6個に限定されない。また、タイミング調整機構10a～10eの構成は図2（a）に限定されず、その他、例えば同図（b）に示すように、長さが異なる複数の線路（遅延素子）を複数個（図では4個）のセレクタ（選択回路）22で選択し、各々選択した線路を直列に接続して、その線路長の長短で伝送線路の遅延量を調整する構成としてもよい。更に、同図（c）に示すように、複数個（図では3個）の遅延素子23とこれ等をバイパスする線路と、これ等を選択する複数個（図では3個）のセレクタ（選択回路）24とを設けて、直列接続する遅延素子23の数で伝送線路の遅延量を調整する構成としてもよい。

【0044】また、図1において、15はマスター（同期サイクル設定手段）であって、このマスター15には前記データ入力手段6が接続されており、このデータ入力手段6が受けた各伝送線路1a～1dからのデータに基いて、又は周期的に、各データの位相ズレを調整するために同期サイクルに移行するか否かを判断し、同期サ

イクルに移行すると判断した時に同期サイクル判定信号を出力する。

【0045】更に、16は同期イベント発生手段であって、前記マスター15が同期サイクルに移行すると判断した時、その同期サイクル判定信号を受けて同期サイクル信号を発生する。17は同期信号発生手段であって、前記同期イベント発生手段16が発生した同期サイクル信号を受けて、図6に示す同期信号をデータ出力手段5に出力する。本実施の形態では、図6に示したように、同期信号がLレベルの期間が同期サイクルである。前記データ出力手段5は、この同期信号を第5の伝送線路1eに出力する。前記データ発生手段4は、前記同期イベント発生手段16が発生した同期サイクル信号を受けて、図6に示す信号A～Dを同時に発生する。これ等の信号A～Dの発生時点は、図6に示すように、同期信号の発生時点よりも所定期間遅れている。前記発生した信号A～Dは、データ出力手段5により、第1～第4の伝送線路1a～1dに伝送される。

【0046】加えて、18は同期検出手段であって、この同期検出手段18は、前記同期サイクルにおいて、伝送線路1a～1eに伝送されたデータ及び同期信号を前記データ入力手段6を介して受けて、その同期信号を検出し、この検出時点を基準に前記受信した4個のデータの遅延量 $\tau_1$ ～ $\tau_4$ を算出する。この同期検出手段（遅延量検出手段）18の構成を図3に示す。尚、同図では、データAに対する構成のみを示しており、データB～Dに対する構成については省略している。同図において、同期検出手段18は、所定の遅延時間 $\tau$ を持つ6個の遅延器60a～60fが直列に接続され、第1段目の遅延器60aには同期信号が入力される。また、同期検出手段18は、7個の2入力型のAND回路71a～71gを持ち、第1のAND回路71aは前記同期信号とデータAとが入力される。第2ないし第7のAND回路71b～71gは、第1ないし第6段目の遅延器60a～60fに対応し、各々、対応する遅延器の出力とデータAとが入力される。従って、図4の例では、第3段目と第4段目の遅延器60c、60dの出力、即ち、同期信号を時間 $3\tau$ 及び時間 $4\tau$ だけ遅延した両信号の立ち下がり時の間でデータAが各AND回路71a～71gに入力されるので、同図に示すように、第1ないし第4のAND回路71a～71dのみの出力が“H”レベル、残りの第5ないし第7のAND回路71a～71dの出力が“L”レベルとなり、これ等7個のAND回路の出力状態の組合せ（1111000）が、同期信号に対してデータAの遅延時間は $3\tau$ であることを示す。同様に、例え前記組合せが（1111100）では遅延時間は $4\tau$ 、（1110000）では $2\tau$ 、（1100000）では $\tau$ 、（1000000）では遅延時間は“0”と検出される。

【0047】図1に戻って、前記マスター（遅延量決定

手段) 15は、前記同期検出手段18が検出した各伝送線路1a～1eでのデータの遅延量 $\tau_1$ ～ $\tau_4$ を受け、これ等の遅延量 $\tau_1$ ～ $\tau_4$ に基づいて、第1ないし第4の伝送線路1a～1dに挿入すべき遅延値 $\tau_A$ ～ $\tau_D$ を各々決定する。このマスター15の動作の詳細は図5に示したフローチャートを用いて後述する。

【0048】19は遅延値設定手段であって、前記マスター15が決定した各遅延値 $\tau_A$ ～ $\tau_D$ を受け、これ等の遅延値 $\tau_A$ ～ $\tau_D$ を、対応する伝送線路1a～1dに挿入するように、前記各タイミング調整機構10a～10dに数ビットの遅延値設定信号を出力する。各タイミング調整機構10a～10では、図2(a)に示すように、例えば前記遅延値設定信号が2τの遅延量の設定を指示する場合には、2個の遅延回路20a、20bを通る線路20iを選択するように、セレクタ21が前記遅延値設定信号により選択動作する。前記マスター(遅延量決定手段)15及び遅延値設定手段19により、本発明の制御手段45を構成する。

【0049】次に、前記同期検出手段18、マスター15及び遅延値設定手段19の動作の詳細を図5のフローチャートに基づいて説明する。

【0050】同図において、ステップS1では、マスター15が同期サイクルに入ると判断する。この判断は、例えば所定時間の経過毎に行われる。この判断時には、同期イベント発生手段16が同期サイクル信号を出力し、同期イベントが開始される。ステップS2では、同期イベントの開始により、同期サイクルが開始される。即ち、同期信号発生手段17が図6に示す“LOW”レベルの同期信号を発生する。この“LOW”レベルの期間はクロック信号の1周期を越える期間、具体的には図6に示すようにクロック信号の4周期分であって、この期間が同期サイクルである。また、データ発生手段4は、前記“LOW”レベルの同期信号の出力後の所定期間(例えばクロック信号の1周期の期間)の経過後に、同図に示す試験用のデータA～Dを発生し、これ等のデータA～D及び同期信号がデータ出力手段5から第1～第5の伝送線路1a～1eに伝送される。

【0051】その後、ステップS3では、同期検出手段18が、前記“LOW”レベルの同期信号を第5の伝送線路1e及びデータ入力手段6を経て受信したか否かを判断し、この同期信号の受信が検出されると、ステップS4で、この同期信号の受信時を、各伝送線路1a～1dでの信号の遅延量の算出の基準点 $\tau_0$ とする。

【0052】続いて、ステップS5～S8では、同期検出手段18が、第1ないし第4の伝送線路1a～1dを経た4つのデータA、B、C、Dが内部に到達したか否かを検出し、各データが到達すれば、ステップS9～S12で、各々、前記同期信号の受信時 $\tau_0$ から各データの到達時までの時間 $\tau_1$ ～ $\tau_4$ を算出する。

【0053】前記ステップS12の後は、ステップS1

3で、マスター(遅延量決定手段)15が前記時間 $\tau_1$ ～ $\tau_4$ のうち最も長い時間(図6では時間 $\tau_1$ )を抽出し、この時間 $\tau_1$ を最大時間 $\tau_{max}$ とする。次に、ステップS14～S17では、マスター15が前記最大時間 $\tau_{max}$ と前記各時間 $\tau_1$ ～ $\tau_4$ との差を演算し、その結果得られる各データA～D間の位相ズレを、各々、 $\tau_A$ ( $=\tau_{max}-\tau_1=0$ )、 $\tau_B$ ( $=\tau_{max}-\tau_2$ )、 $\tau_C$ ( $=\tau_{max}-\tau_3$ )、 $\tau_D$ ( $=\tau_{max}-\tau_4$ )とする。続いて、ステップS18～S21では、遅延値設定手段19が、前記得られた位相ズレ $\tau_A$ 、 $\tau_B$ 、 $\tau_C$ 及び $\tau_D$ を第1ないし第4の伝送線路1a～1dに挿入すべき遅延時間として設定すると共に、第1ないし第4の伝送線路1a～1dのタイミング調整機構10a～10dを、一旦遅延値を“0”にリセットした後、この挿入すべき遅延時間 $\tau_A$ ～ $\tau_D$ に制御すると共に、必要に応じて同期信号の基準点 $\tau_0$ を調整するようにタイミング調整機構10eを制御して、第5の伝送線路1eの遅延量を調整する。その後、同期サイクルを終了する。

【0054】次に、同期サイクルへの移行を前記マスター15がどのように判断するかの詳細を説明する。前記マスター15は既述したように所定周期毎、即ち、所定時間を計測し、その時間経過毎に同期サイクルに入ると判断する。例えば、1Wの電力のLS1では、100ms每で1°C変化する場合があるので、100ms每に同期サイクルを実行する。マスター15は、その他、次のようにも判断できる。即ち、伝送線路1a～1dの複数ビットのデータにパリティが付加される場合に、そのビットの転送エラーを検出して、同期サイクルに移行すると判断する。この場合には、同期サイクルの実行後に、転送エラーが生じたデータの再送が必要である。また、他の判断の手法としては、ビット修正可能なパリティ機能をマスター15が備え、ビットの転送エラーの検出時に、その転送エラーを生じたビットを修正した後、同期サイクルに移行すると判断する。この場合には、転送エラーが生じたデータの再送は不要である。更に、他の判断手法としては、第1及び第2のLS12、LS13並びに伝送線路1a～1eの少くとも1箇所に温度センサーを配置し、所定温度変化した時点で同期サイクルを実行する。例えば、温度が10°Cだけ変化すると、信号スキューレは数ナノsecズレを生じるので、10°Cの温度変化毎に同期サイクルを実行する。

【0055】従って、本実施の形態では、同期サイクルを設定し、この同期サイクルの期間をクロック信号の1周期を越える期間(例えば、クロック信号の複数周期)に調整すれば、この同期サイクル内において、各伝送線路1a～1dを経た各信号A～D間の伝搬遅延時間の差を検出でき、その遅延時間差に等しい遅延値を、対応する伝送線路1a～1dに挿入できるので、図7(a)に示すように、例えば、信号Aに対し、信号Bがクロック信号の1周期未満の遅延時間を持ち、信号Cがクロック

信号の1周期以上長い遅延時間を持つ場合であっても、同図(b)に示すように、信号B及び信号Cの双方を信号Aと同一のクロック周期内に調整することが可能である。

【0056】尚、第1のLSI2がメモリコントローラであり、第2のLSI3がメモリである場合等では、タイミング調整機構10a～10e、マスター15、同期イベント発生手段16、同期信号発生手段17、同期検出手段18及び遅延値設定手段19を一方のLSI側(例えばメモリコントローラ側)に集約すれば、他方のLSI側(例えばメモリ側)の構成が簡易になる。この場合には、別途、信号のリターンバスが必要になる。

【0057】また、本実施の形態では、タイミング調整機構10a～10eを伝送線路1a～1eに介設したが、その他、第1のLSI2に内蔵し、又は第2のLSI3に内蔵し、更には、第1及び第2のLSI2、3の双方に内蔵しても良いのは勿論である。更に、本実施の形態では、第5の伝送線路1eにタイミング調整機構10eを配置したが、この伝送線路1eは、同期信号(即ち、位相ズレを調整すべき本来の信号とは異なる信号)の伝送用であるので、このタイミング調整機構10eは省略しても構わない。

【0058】図8は、同期サイクル、この同期サイクル内で出力する試験用データ及びこのデータの変形例を示す。前記実施の形態では、同期サイクルを、図6に示した”LOW”レベルの同期信号の出力期間としたが、図8では、同期サイクルは、第5の伝送線路1eに常時出力されている”HIGH”の同期信号が”LOW”となる期間(クロック信号の2周期分の期間)と、その後のクロック信号の2周期分の期間との合計期間に設定される。この同期信号の”HIGH”から”LOW”への立下り時(同期サイクルの開始時)には、データ発生手段4は前記同期信号と同一波形の信号を発生し、この信号はデータ出力手段5により伝送線路1a～1dに伝送される(同図では伝送線路1a、1bのみの信号を描いている)。従って、同期信号の”LOW”から”HIGH”への立上り時には、この時点(同期エッジ)で、伝送線路1a～1dには、”LOW”から”HIGH”に遷移する信号が同時に伝送される。これ等の信号は同期サイクルの終了まで(即ち、同期エッジ後のクロック信号の2周期の期間で)”HIGH”を維持する。従って、同期エッジの前後のクロック信号の1周期の期間(余裕期間)では、各々、伝送線路1a～1dの信号に変化は無く、同期検出手段18が前記同期サイクル内でこれ等伝送線路1a～1dの信号の受信時を各々検出すれば、2信号間の位相ズレがクロック信号の1周期を越える場合であっても、これ等信号間の位相ズレを検出できる。尚、前記余裕期間をクロック信号の2周期以上の期間に設定すれば、信号間の位相ズレがクロック信号の2周期を越える場合であっても、各信号間の遅延量を検

出できる。

【0059】図9は同期サイクルの他の例を示す。同図では、同期イベント発生手段16が同期サイクル信号を発生した時は、データ発生手段4は”L”レベルの信号を発生する。この信号の”L”レベルの状態はクロック信号の所定周期分(図では6周期分)継続する。この信号はデータ出力手段5により伝送線路1a～1dに伝送される。同期検出手段18は、前記信号の”L”レベルの状態が6周期継続したことを検出し、この検出時点を同期サイクルの開始時点と認識する。この例では、同期サイクルはクロック信号の3周期分の期間とされる。この同期サイクルにおいて、クロック信号の2周期目の同期エッジでデータ発生手段4が”H”レベルの信号を発生し、この信号をデータ出力手段5が各伝送線路1a～1dに伝送する。この例の利点は、前記実施の形態のように同期信号を伝送するための特別な伝送線路1eが不要となる点である。

【0060】図10は同期サイクルの更に他の例を示す。同図は、第1及び第2のLSI2、3が信号の送受信を所定のプロトコルに従って行う場合を示し、同期サイクルを行うプロトコルの出力により、両LSI2、3が同期サイクルに入る。プロトコルを出力するのはLSI2及びLSI3の一方、又は他の回路が出力しても構わない。

【0061】図11は前記実施の形態の変形例を示す。同図は、図1の遅延時間調整装置に対し、更に、第2のLSI3'から第1のLSI2'に対し信号を伝送する機能を附加したものである。即ち、第1及び第2のLSI2'、3'には、各々、データの発生及び保持を行うデータ処理手段25、26と、データ入出力手段27、28とを備える。その他の構成は、前記図1と同様であるので、同一部分に同一符号を付して、その説明を省略する。

【0062】図12は本実施の形態の第2の変形例を示す。同図は、図1の遅延時間調整装置に対し、更に、第3のLSI30を持つボード52をマザーボード60に接続したものである。

【0063】前記第3のLSI30は、信号入力側のLSI3と並列に、第1ないし第5の伝送線路1a～1eに接続され、その内部には、前記第2のLSI3と同様に、データ入力手段31と、データ保持手段32とを持つ。第3のLSI30に対応して、同期検出手段18が付加されると共に、第3のLSI30のボード52上の伝送線路52a～52e(図13参照)のマザーボード60近傍には、タイミング調整機構10a～10eが配置される。これ等のタイミング調整機構10a～10eは、これ等に対応して新たに設けた遅延値決定手段19により遅延値が調整される。前記第2のLSI3のボード51上の伝送線路51a～51eのマザーボード60近傍にも、タイミング調整機構10a～10eが配置さ

れ、これ等のタイミング調整機構10a～10eは、これ等に対応する遅延値設定手段19により遅延値が調整される。他の構成は図1と同様であるので、同一符号に同一番号を付して、その説明を省略する。

【0064】更に、図13は第3の変形例を示す。本変形例では、前記第2の変形例の構成に加えて、2個のボード51、52上の伝送線路51a～51e、52a～52eに配置した各々のタイミング調整機構10a～10eに加えて、他のボード50上の伝送線路50a～50eのマザーボード60近傍にも、タイミング調整機構10a～10eが配置される。また、これ等のタイミング調整機構10a～10eに対応して、遅延値設定手段19と、同期検出手段18などが設けられる。この同期検出手段18には、対応するタイミング調整機構10a～10eを通過した直後の同期信号及びデータが入力される。

【0065】従って、本変形例では、ボード50上の伝送線路50a～50eでの5つのデータの遅延時間が同一時間に調整されて、そのデータ間の位相ズレが解消されると共に、マザーボード60上の伝送線路70a～70e及び伝送線路80a～80eと、ボード51上の伝送線路51a～51eとを直列に接続した伝送線路での5つのデータの遅延時間が同一時間に調整されて、そのデータ間の位相ズレが解消される。同様に、マザーボード60上の伝送線路70a～70eと、ボード52上の伝送線路52a～52eとを直列に接続した伝送線路での5つのデータの遅延時間が同一時間に調整されて、そのデータ間の位相ズレが解消される。

【0066】尚、図15に示すように、マザーボード60上の伝送線路70a～70e及び伝送線路80a～80eに、各々、タイミング調整機構10a～10eを配置する構成を追加すれば、各伝送線路50a～50e、伝送線路51a～51e、伝送線路52a～52e、伝送線路70a～70e及び伝送線路80a～80eでの複数データの遅延時間が同一時間に調整されて、そのデータ間の位相ズレが解消される。

【0067】尚、以上の説明では、各伝送線路に信号としてデータを伝送する場合を説明したが、本願発明は、各伝送線路に伝送するデータとして、同一のデータ又は複数の異なるデータを用いる場合の双方を含み、更には、各伝送線路に伝送する信号として同一のクロック信号を用いる場合も含むのは勿論である。

【0068】

【発明の効果】以上説明したように、本発明の複数伝送線路間の遅延時間の調整装置によれば、デバイス回路上の複数の伝送線路及びマザーデバイス回路上の複数の伝送線路を用いて各伝送線路に信号を並列伝送する場合に、それ等のデバイス回路上及びマザーデバイス回路上の伝送線路の少くとも1組に信号伝搬遅延時間を調整するタイミング調整機構を設けると共に、所定の同期サイ

クルを実行し、この同期サイクルの期間をクロック信号の1周期を越える期間（例えばクロック信号の複数周）とした上で、この同期サイクル内で信号を複数の伝送線路に伝送し、この伝送した信号を受信するので、この各信号間の遅延量（位相ズレ）が、たとえクロック信号の1周期を越えた長い遅延量であっても、これ等の遅延量を良好に検出でき、これ等複数の伝送線路を経て受信された信号を同一周期のサイクルに同期させることができある。

【図面の簡単な説明】

【図1】本発明の実施の形態を示す複数伝送線路間の遅延時間の調整装置の全体構成を示す図である。

【図2】(a)は同実施の形態におけるタイミング調整機構の構成を示す図、同図(b)は同タイミング調整機構の他の構成を示す図、同図(c)は同タイミング調整機構の更に他の構成を示す図である。

【図3】同実施の形態の同期検出手段の内部構成を示す図である。

【図4】同実施の形態の同期検出手段の動作説明図である。

【図5】同実施の形態における同期サイクル内での複数の信号間の遅延量の検出、及び挿入すべき遅延量の決定の具体例のフローチャートを示す図である。

【図6】同実施の形態における同期サイクル内での複数の信号間の遅延量の検出、及び挿入すべき遅延量の決定の様子を説明する図である。

【図7】(a)は信号A、B、Cの位相ズレの様子を説明する図、(b)は本実施の形態の効果の説明図である。

【図8】同期サイクルの変形例を示す図である。

【図9】同期サイクルの他の変形例を示す図である。

【図10】同期サイクルの更に他の変形例を示す図である。

【図11】本実施の形態の第1の変形例を示す図である。

【図12】本実施の形態の第2の変形例を示す図である。

【図13】本実施の形態の第3の変形例を示す図である。

【図14】(a)は信号A、B、Cの位相ズレの様子を説明する図、(b)は従来のスキーの調整の様子の説明図である。

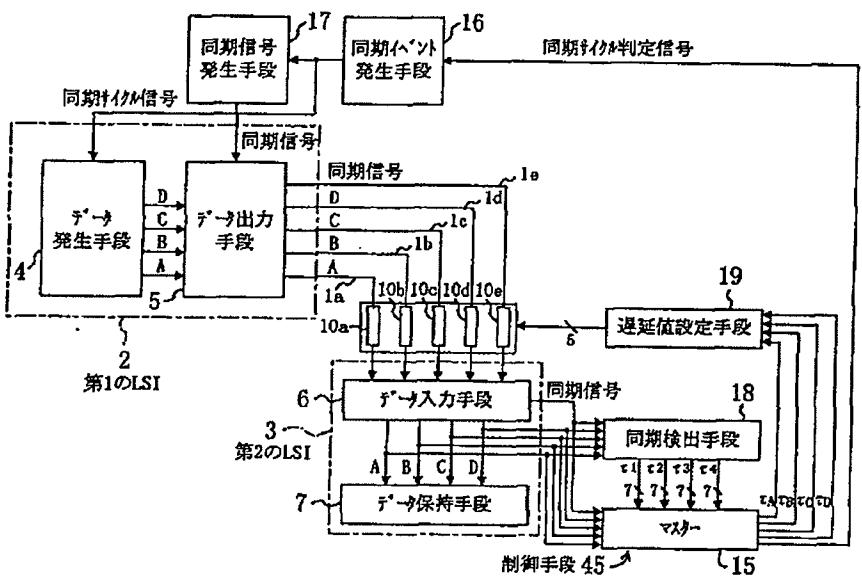
【図15】本発明の実施の形態を示す複数伝送線路間の遅延時間の調整装置の全体概略構成を示す斜視図である。

【符号の説明】

1a～1e	伝送線路
2、2'	第1のLSI（一方のデバイス）
3、3'	第2のLSI（他方のデバイス）
4	データ発生手段

5	データ出力手段	27、28	データ入出力手段
6	データ入力手段	30	第3のLSI
7	データ保持手段	31	データ発生手段
10a~10e 調整手段)	タイミング調整機構 (タイミング 調整手段)	32 40	データ出力手段
15 段) (遅延量決定手段)	マスター (同期サイクル設定手 段)	41 45	遅延量検出手段
16	同期イベント発生手段	50、51、52	遅延量決定手段
17	同期信号発生手段	50a~50e	制御手段
18	同期検出手手段	51a~51e	ボード
19	遅延値設定手段	52a~52e	ボード上の伝送線路
21、22、24	セレクタ (選択回路)	70a~70e	ボード上の伝送線路
23	遅延素子	80a~80e	マザーボード上の伝送線路
25、26	データ処理手段		マザーボード上の伝送線路

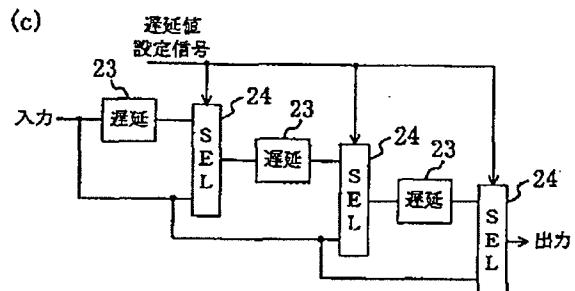
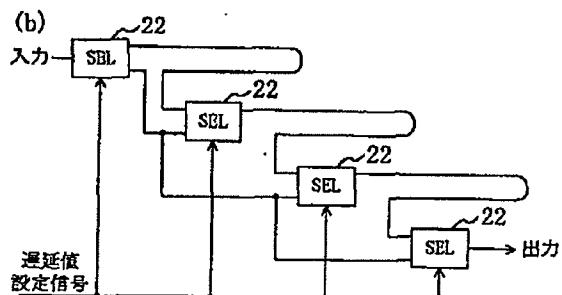
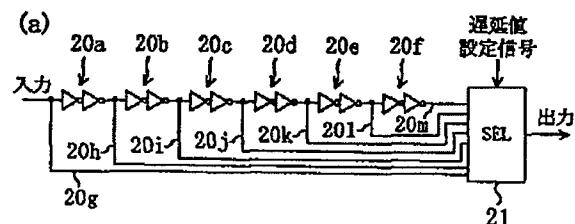
【図1】



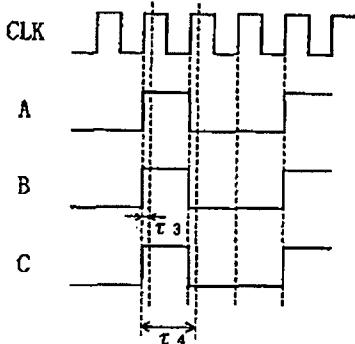
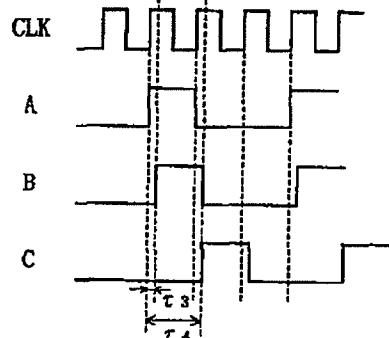
【図4】

同期信号	1
遅延器60aの出力	1
遅延器60bの出力	1
遅延器60cの出力	1
遅延器60dの出力	1
遅延器60eの出力	1
遅延器60fの出力	1
データA	1
AND回路71aの出力	1
AND回路71bの出力	1
AND回路71cの出力	1
AND回路71dの出力	1
AND回路71eの出力	0
AND回路71fの出力	0
AND回路71gの出力	0

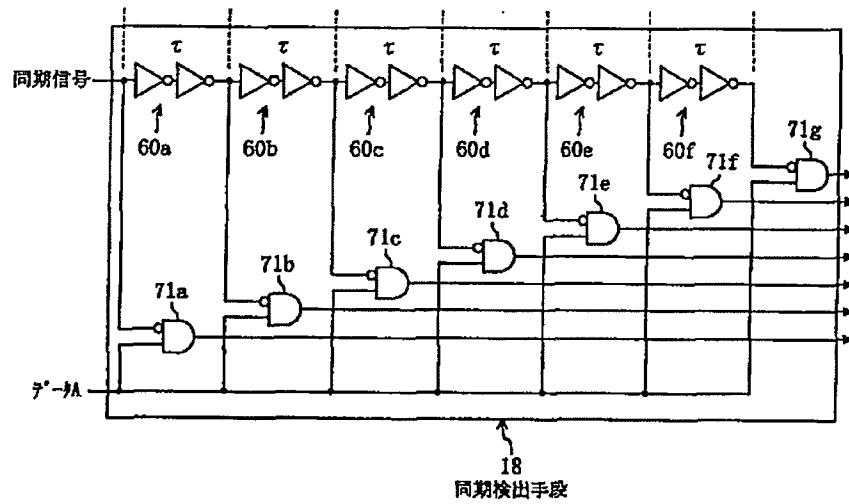
【図2】



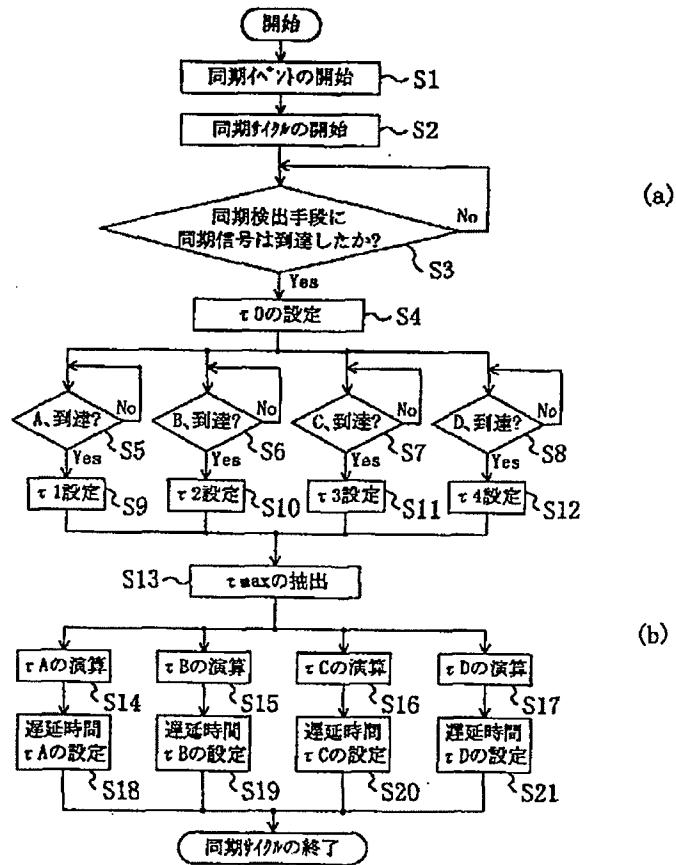
【図7】



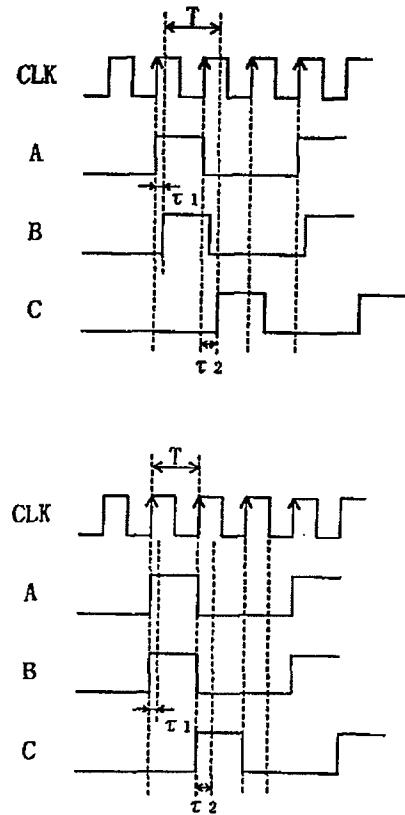
【図3】



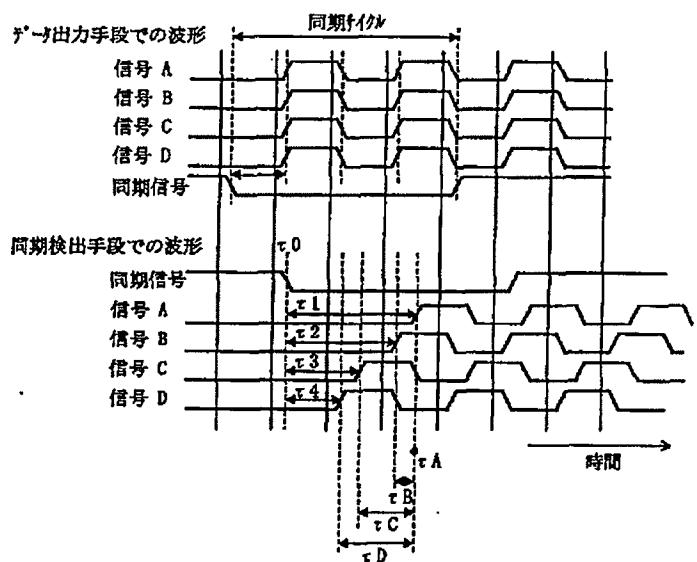
【図5】



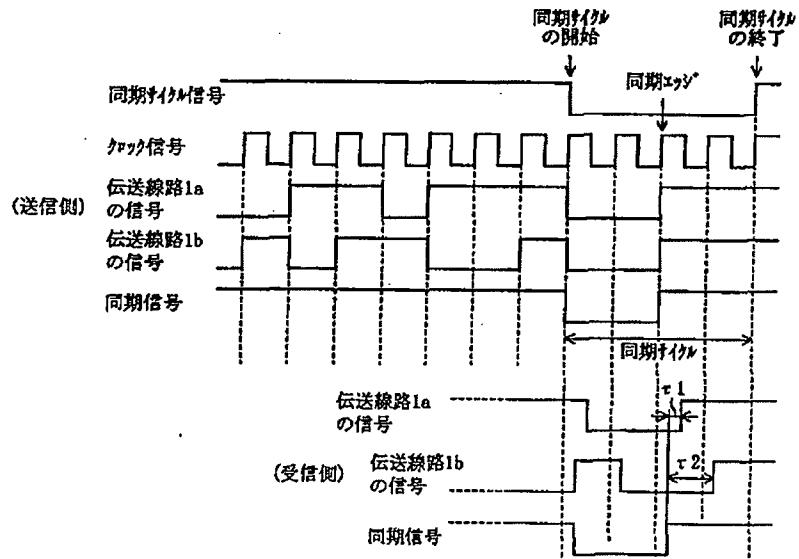
【図14】



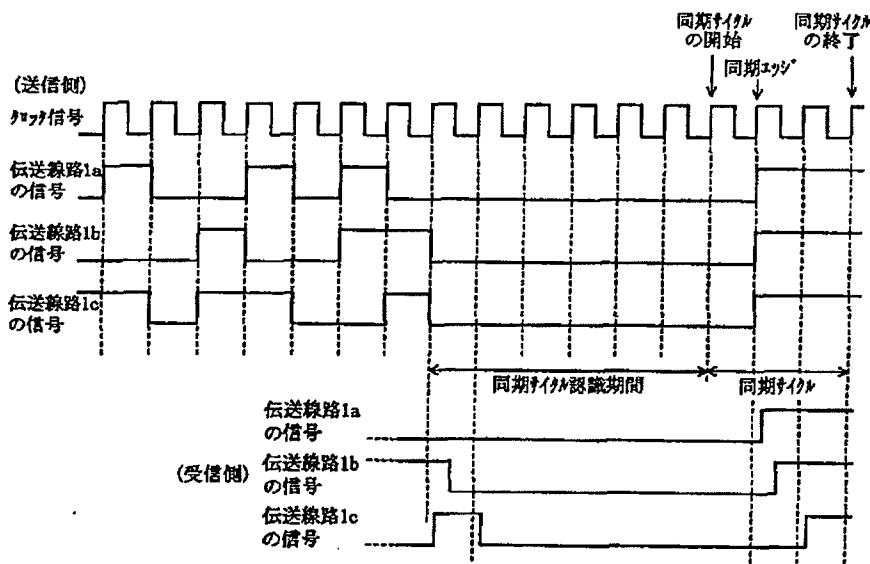
【図6】



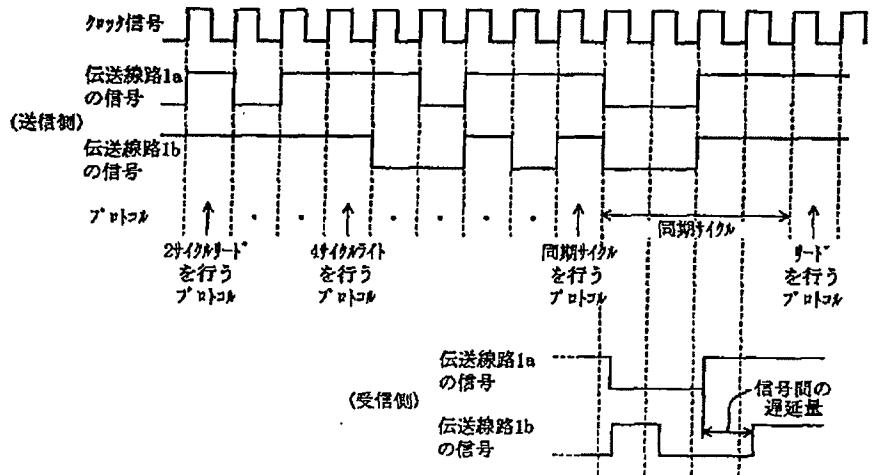
【図8】



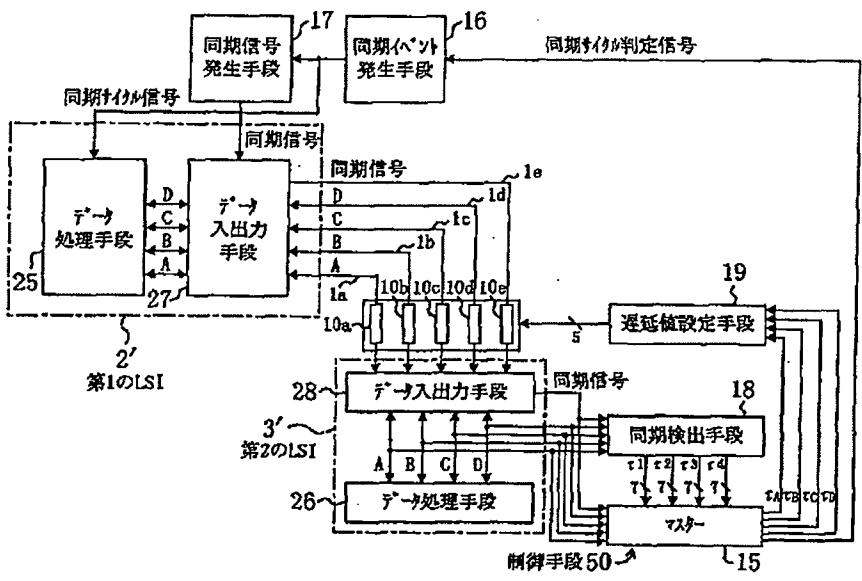
【図9】



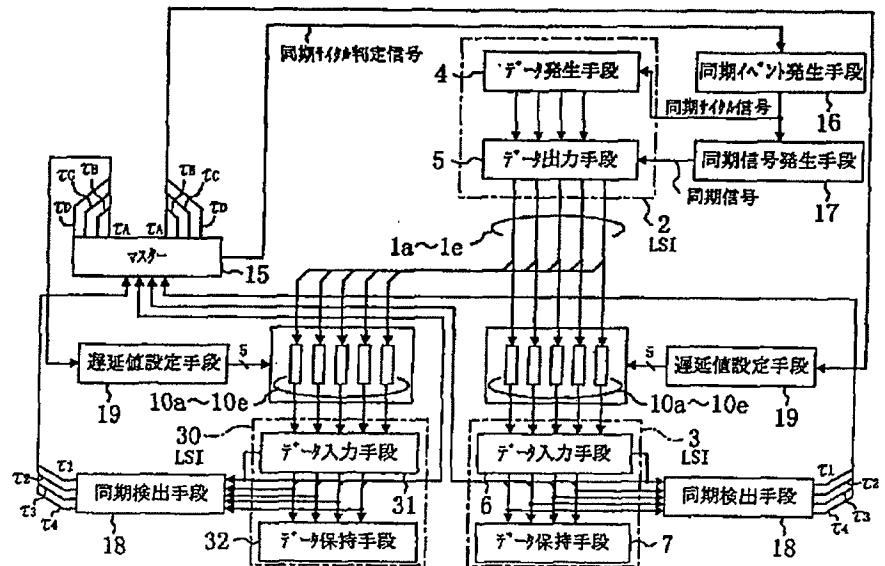
【図10】



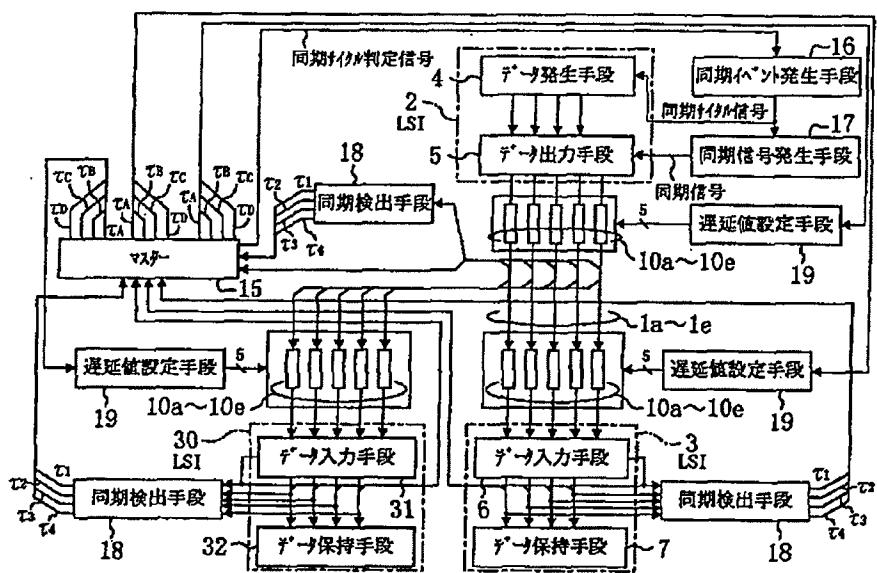
【図11】



【図12】



[図 13]



【図15】

